ispLEVER - CPLD

PROGRAMMER UN PLD

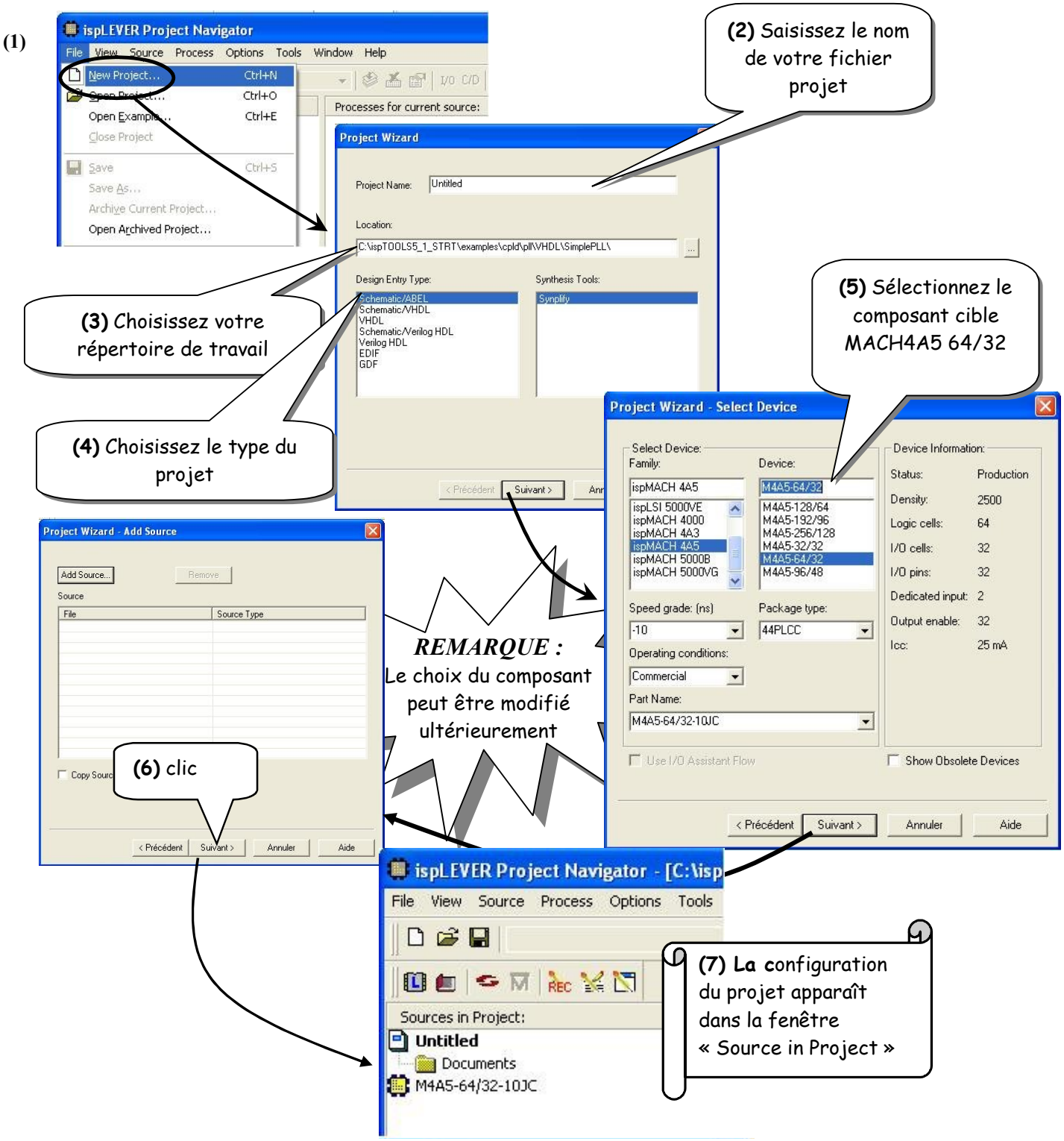
1. Lancer ispLEVER 2
2. Créer et configurer un nouveau projet 2
3. Créer un fichier ABEL 3
4. Créer un schéma principal 4
5 Ajouter un bloc fonctionnel dans le schéma principal 5
6 Associer un schéma à un bloc fonctionnel 6
7. Saisir un schéma 7
    Description des principaux boutons 8
    Ajouter une porte logique 9
    Relier les portes logiques 10
    Placer les broches d'entrées ./ sorties 11
8. Faire correspondre un fichier ABEL à un bloc fonctionnel .. 14
9. Créer un fichier de simulation 15
10. Compiler un programme 16
11. Simuler le fonctionnement du projet 17
12. Utilisation de l'éditeur de contraintes 18

Annexes

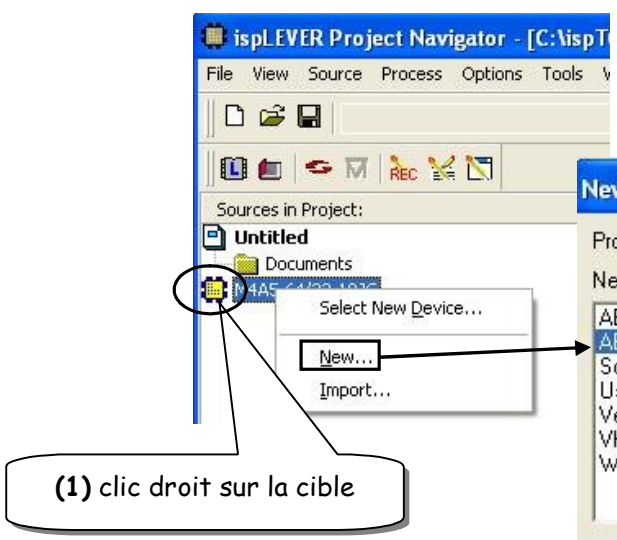
Créer un symbole à partir d'un schéma 19
Utiliser des BUS 20
Instancier des composants 21

1. Lancer ispLEVER

2. Créer et configurer un nouveau projet

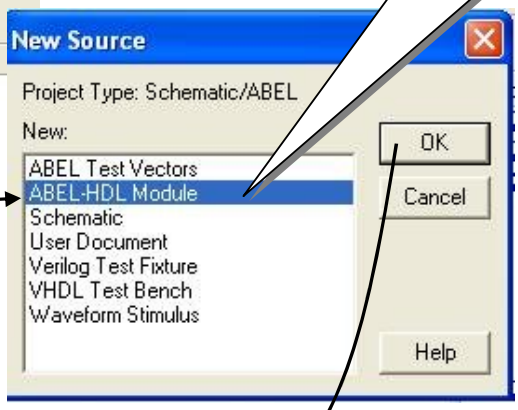


3. Créer un fichier ABEL



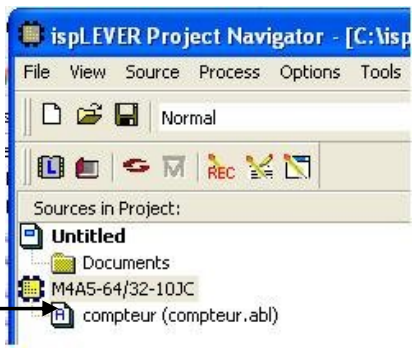
(1) clic droit sur la cible

(2) Choisissez ABEL



(3) Remplissez les champs ci-dessus.
Donnez le même nom au module et au fichier

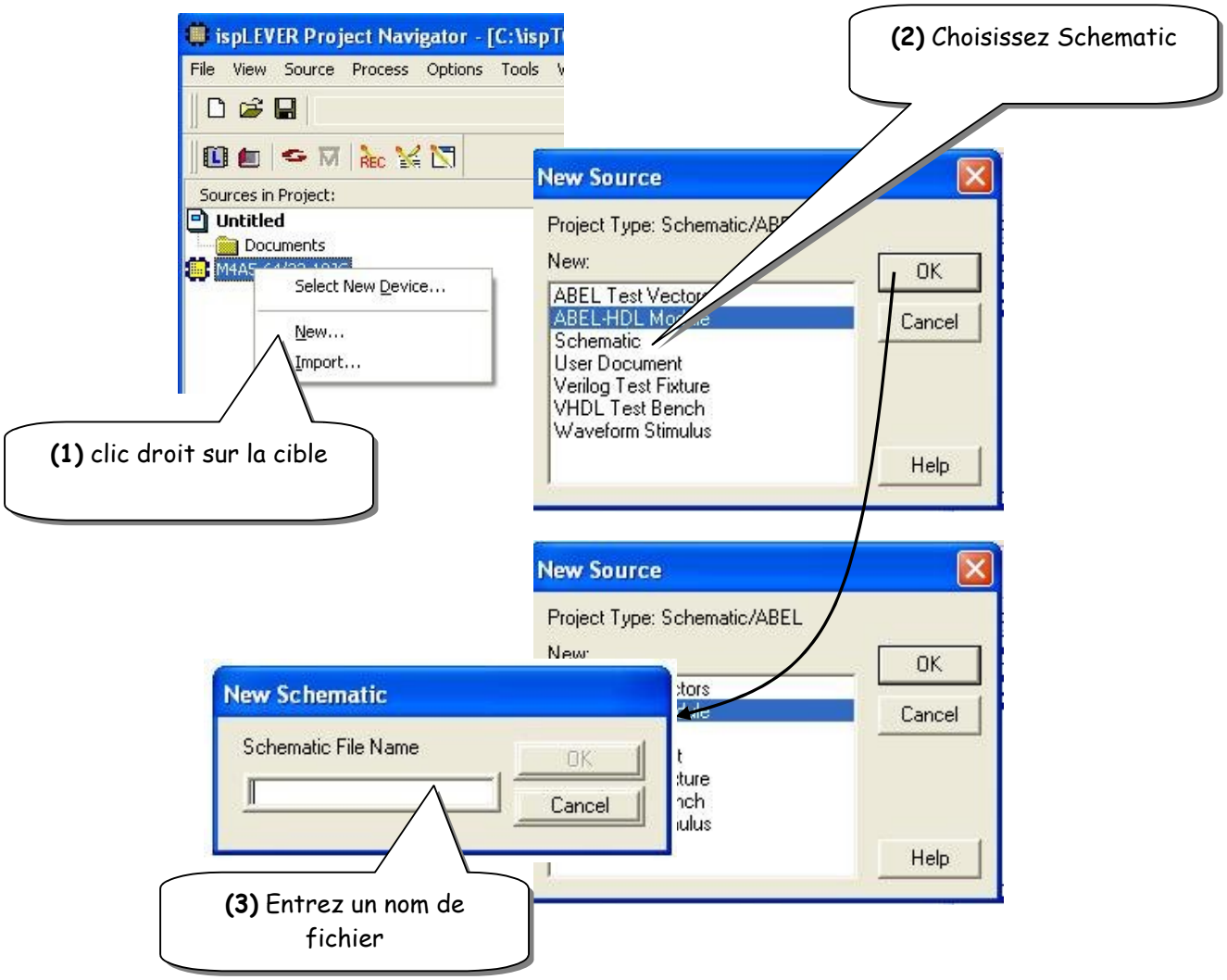
(4) Vous pouvez compléter le fichier dans l'éditeur de texte. Les mots clé du langage apparaissent en bleu.



Le fichier apparaît dans le navigateur

4. Créer un schéma principal

Le fichier de plus haut niveau d'un projet hiérarchique est obligatoirement un schéma.

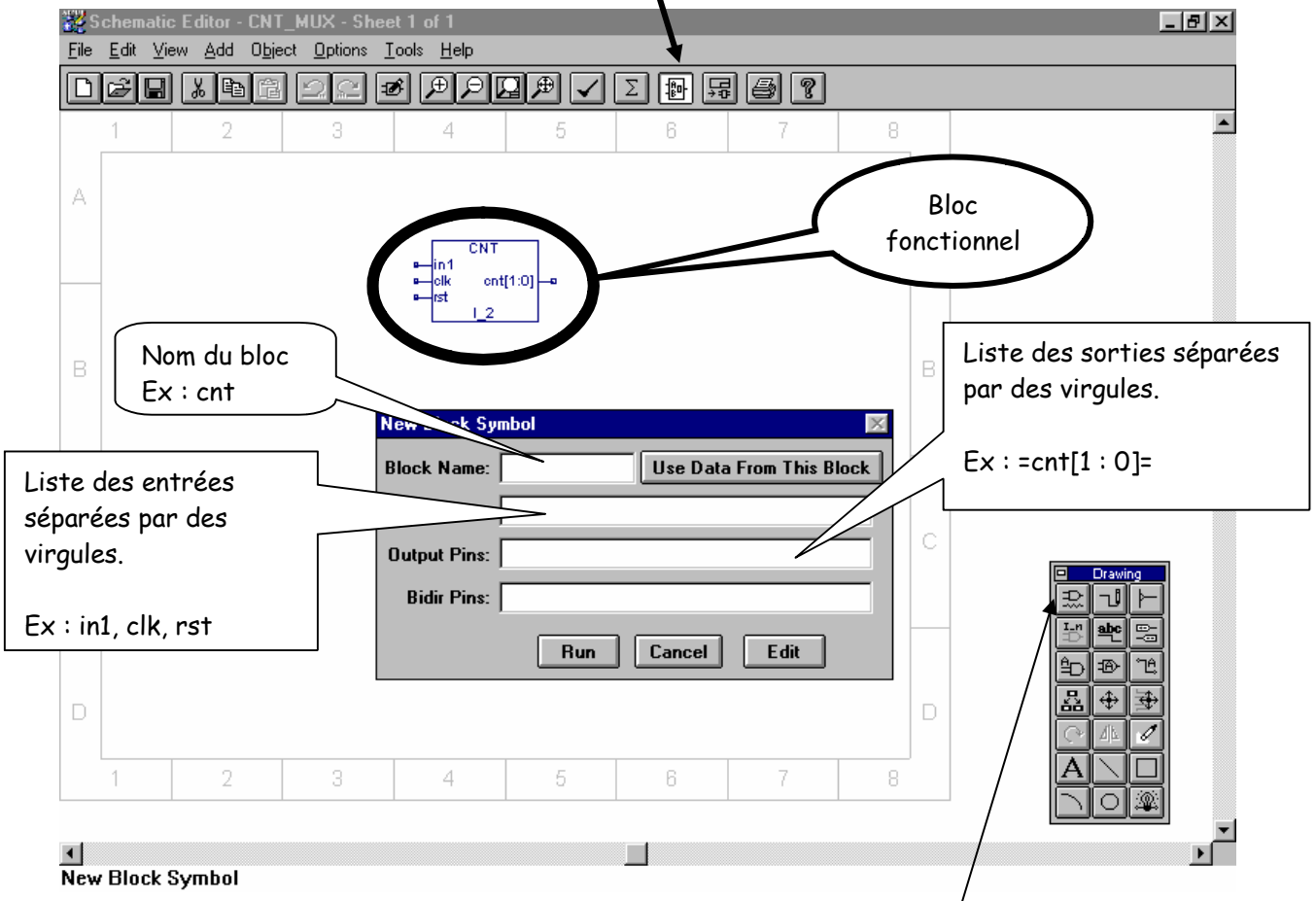


5. Ajouter un bloc fonctionnel dans le schéma principal

Pour créer un bloc fonctionnel :

- **Sélectionner**
  → « *Add bloc Symbol* » ou clic sur

- **Compléter les champs** :
  - Nom du bloc (Block Name)
  - Entrées (Input Pins)
  - Sorties (Output Pins)
  - Entrées/Sorties (Bidir Pins)



New Block Symbol

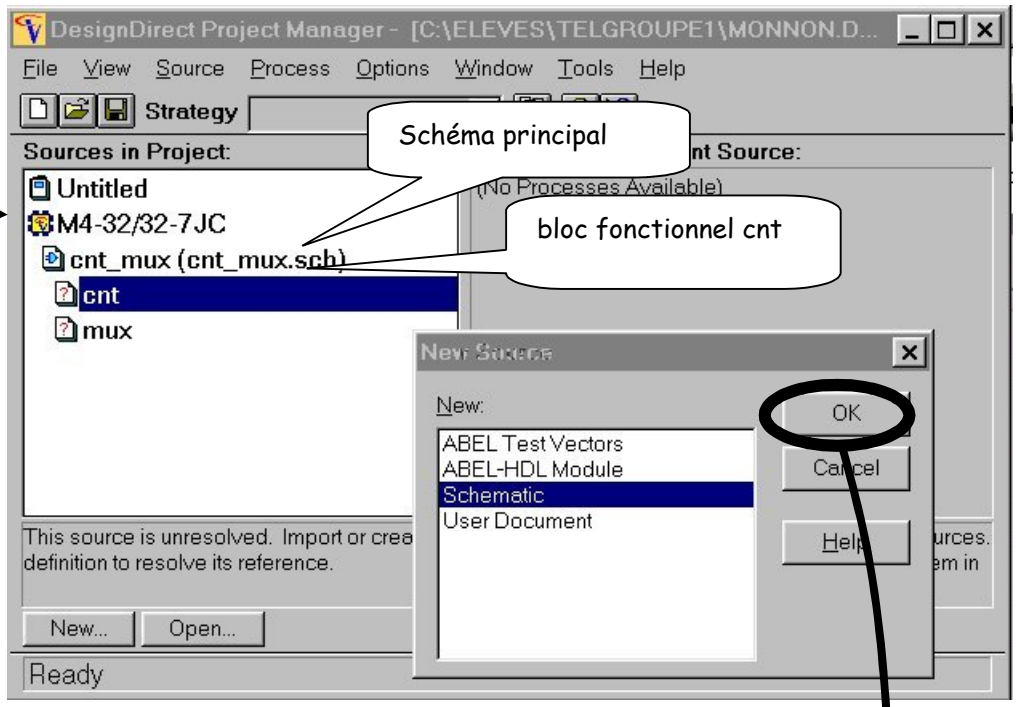
Déclaration d'un bus
Syntaxe = *nom_bus*[**msb : lsb**] =

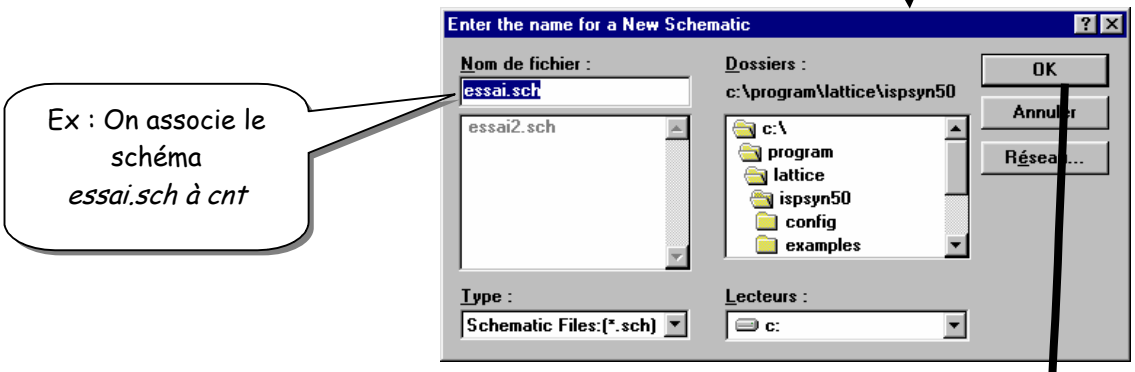
- **Valider**
  → Run

- **Récupérer** le nouveau bloc dans la librairie

6 Associer un schéma à un bloc fonctionnel

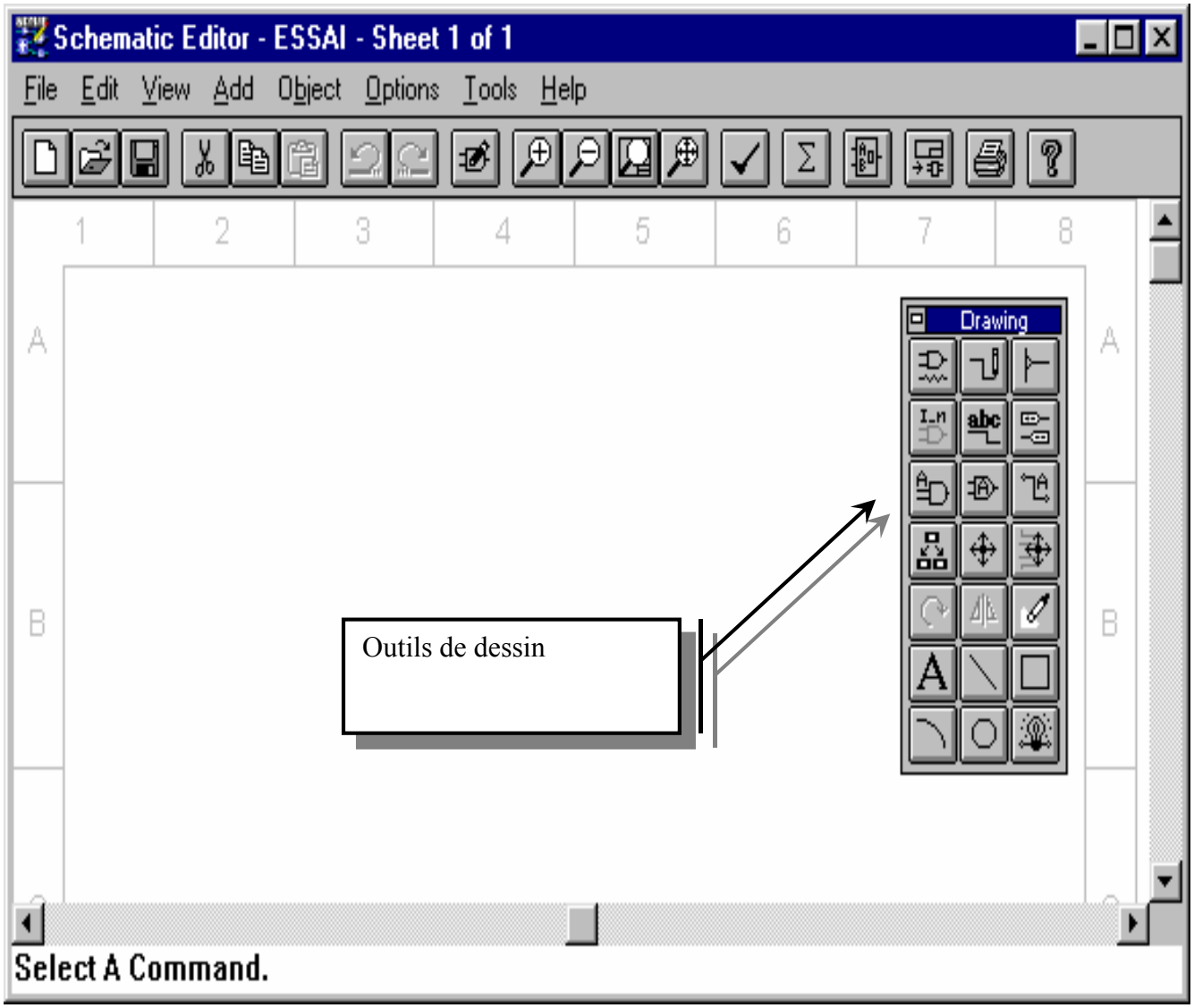
Les schémas fonctionnels créés apparaissent dans la hiérarchie du projet.



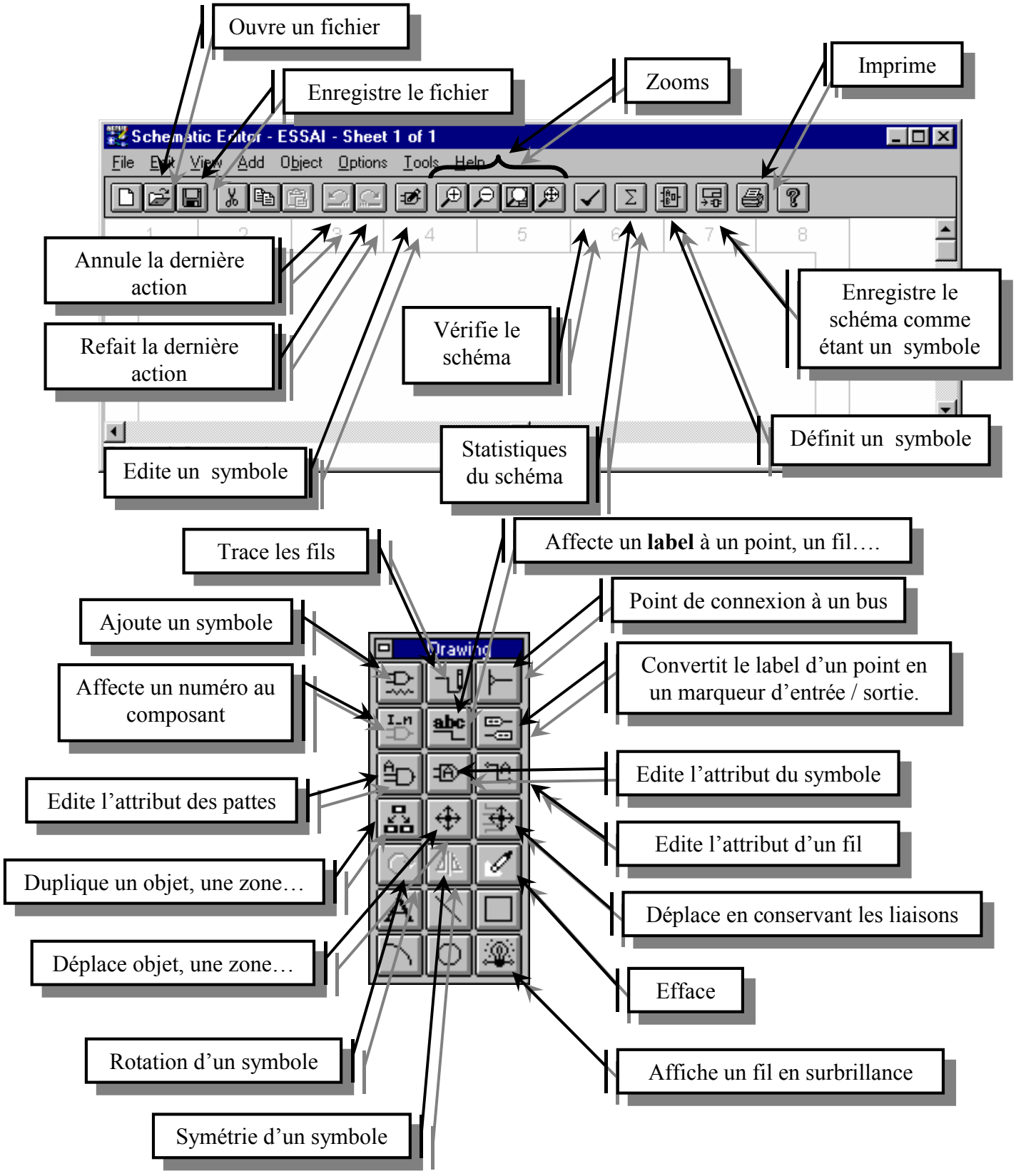


Ex : On associe le schéma *essai.sch à cnt*

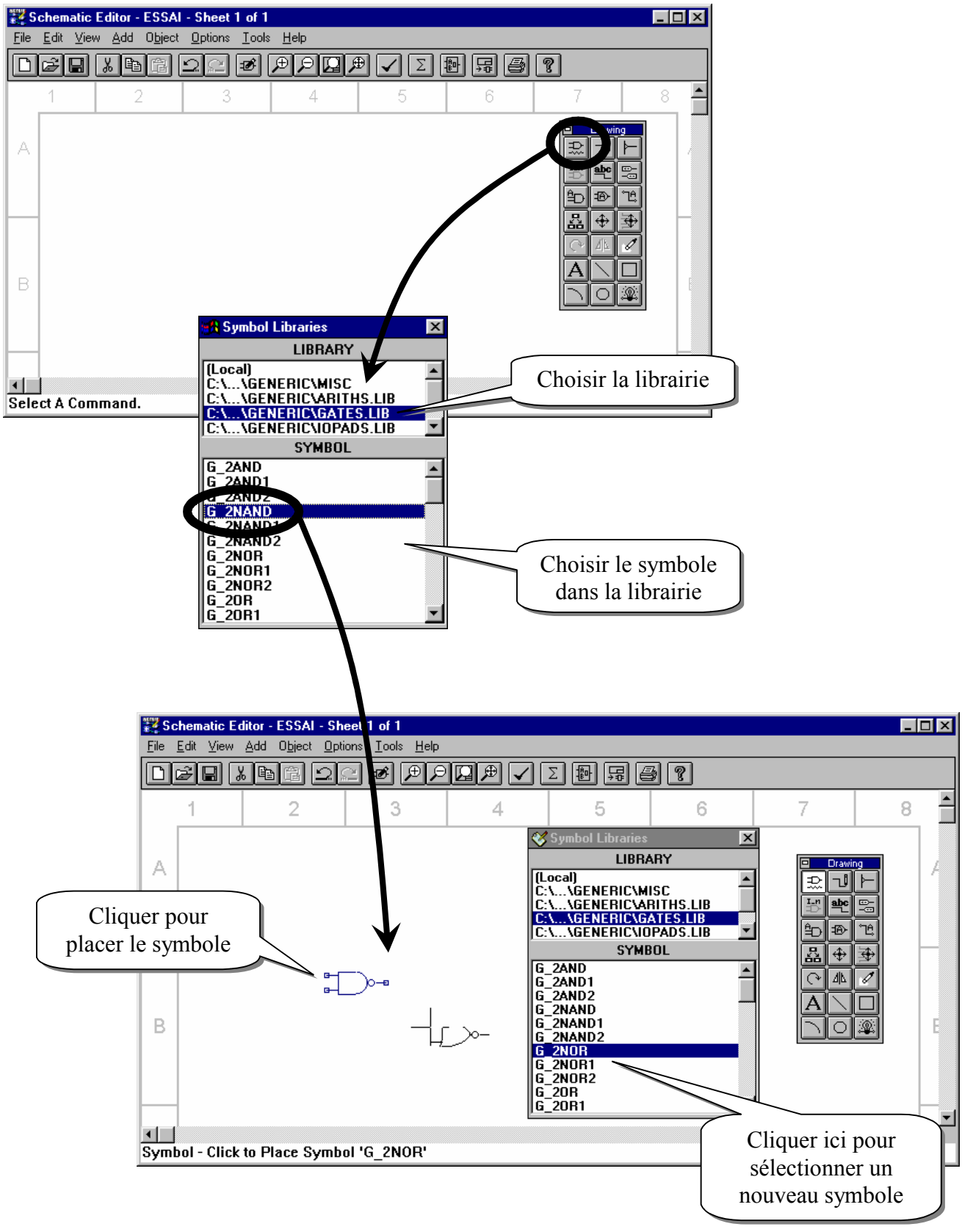
7. Saisir un schéma


Schematic Editor - ESSAI - Sheet 1 of 1
File Edit View Add Object Options Tools Help
1 2 3 4 5 6 7 8
A
B
Drawing
Outils de dessin
Select A Command.

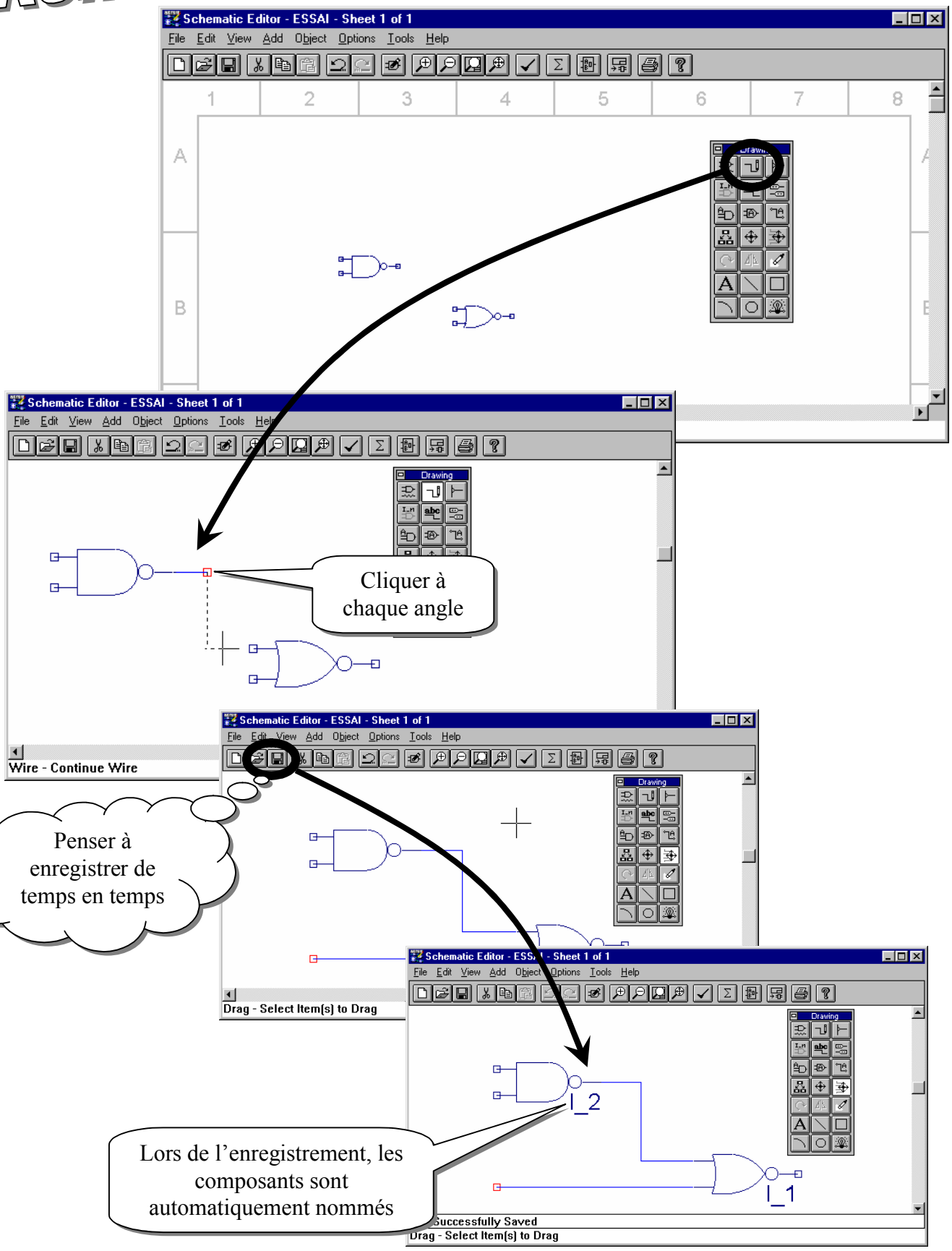
Description des principaux boutons


Ouvre un fichier
Enregistre le fichier
Zooms
Imprime
Schematic Editor - ESSAI - Sheet 1 of 1
File Edit View Add Object Options Tools Help
Annule la dernière action
Refait la dernière action
Vérifie le schéma
Enregistre le schéma comme étant un symbole
Définit un symbole
Edite un symbole
Statistiques du schéma
Trace les fils
Affecte un **label** à un point, un fil….
Ajoute un symbole
Point de connexion à un bus
Affecte un numéro au composant
Convertit le label d'un point en un marqueur d'entrée / sortie.
Drawing
Edite l'attribut du symbole
Edite l'attribut des pattes
Edite l'attribut d'un fil
Duplique un objet, une zone…
Déplace en conservant les liaisons
Déplace objet, une zone…
Efface
Rotation d'un symbole
Affiche un fil en surbrillance
Symétrie d'un symbole

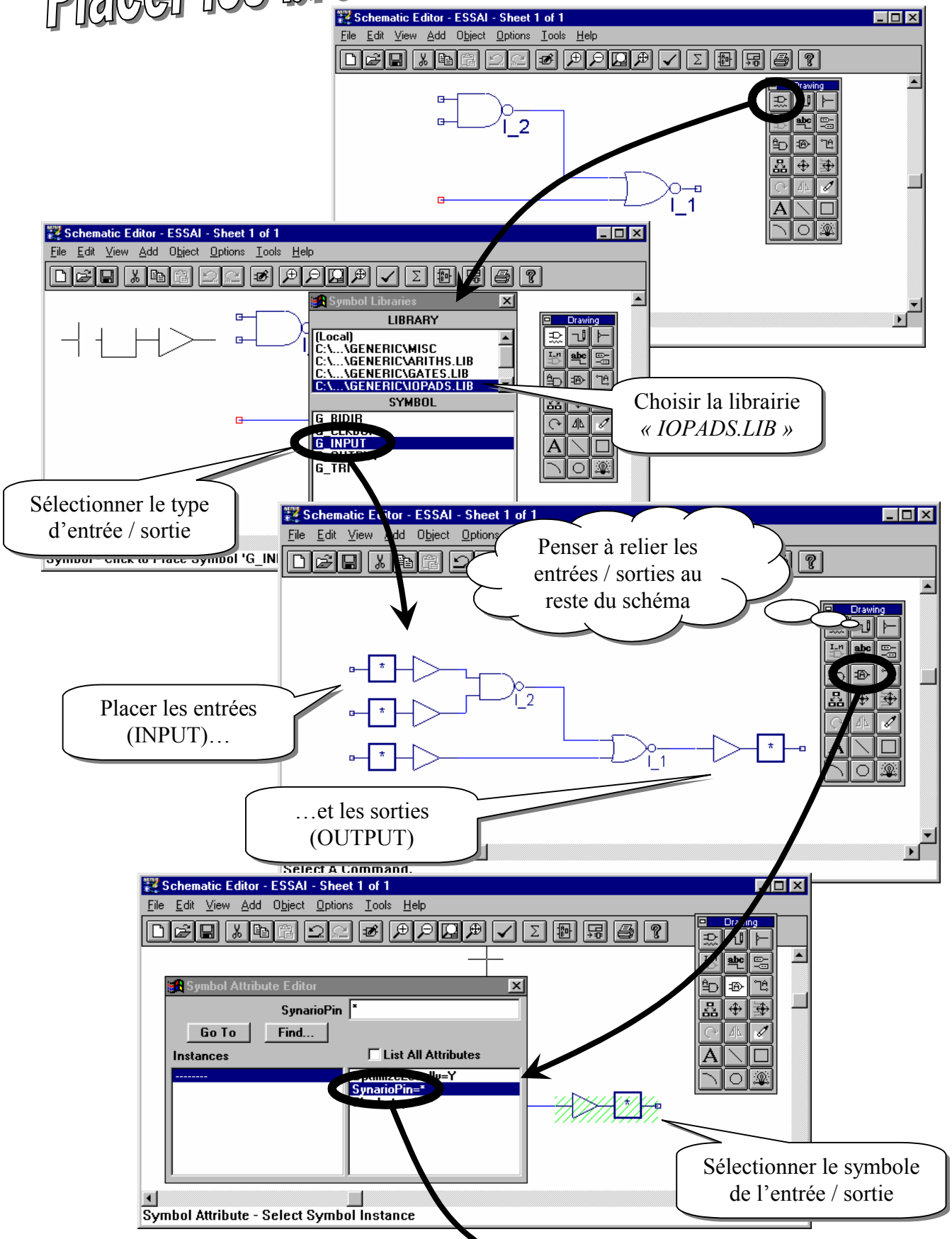
Ajouter une porte logique

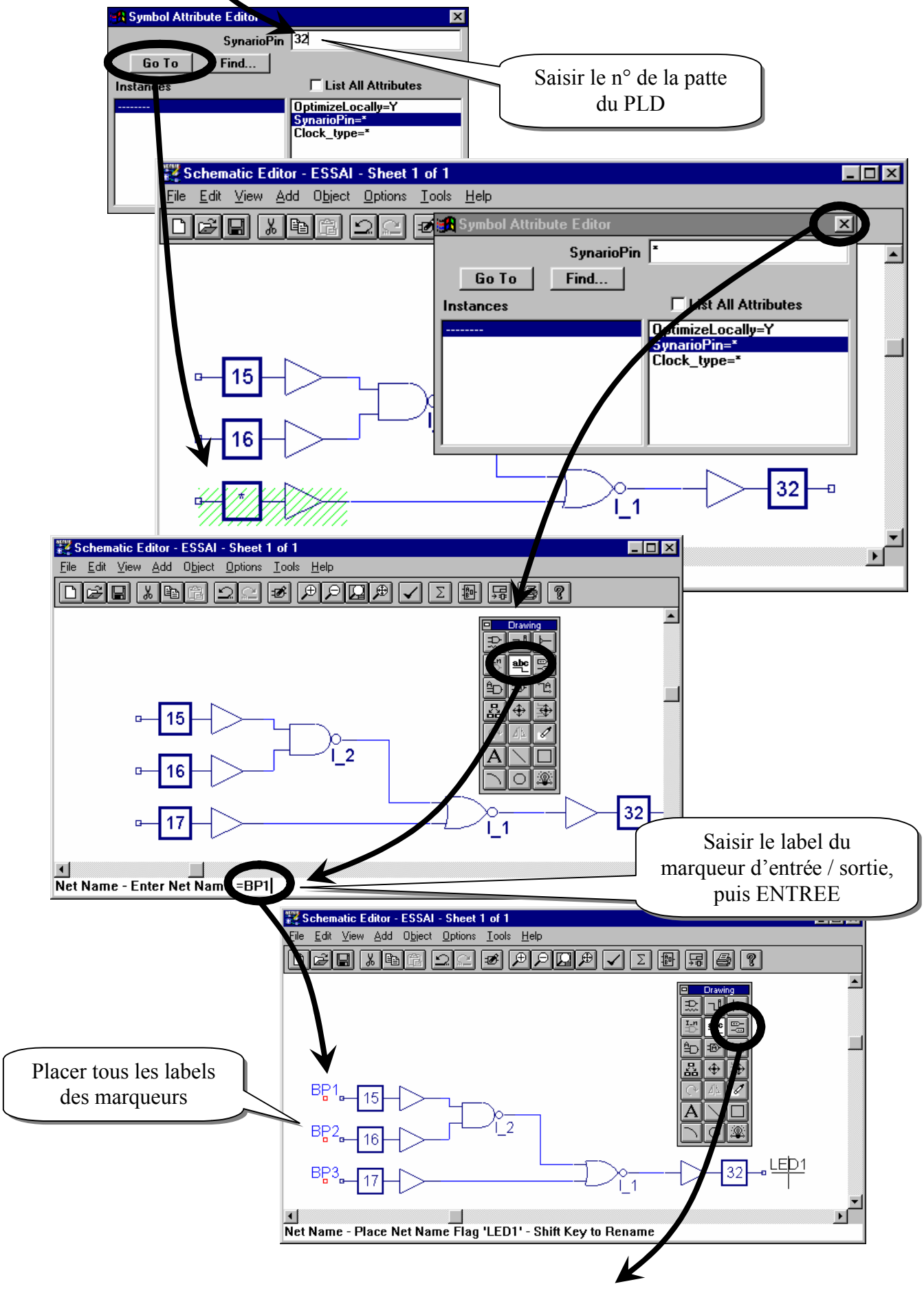


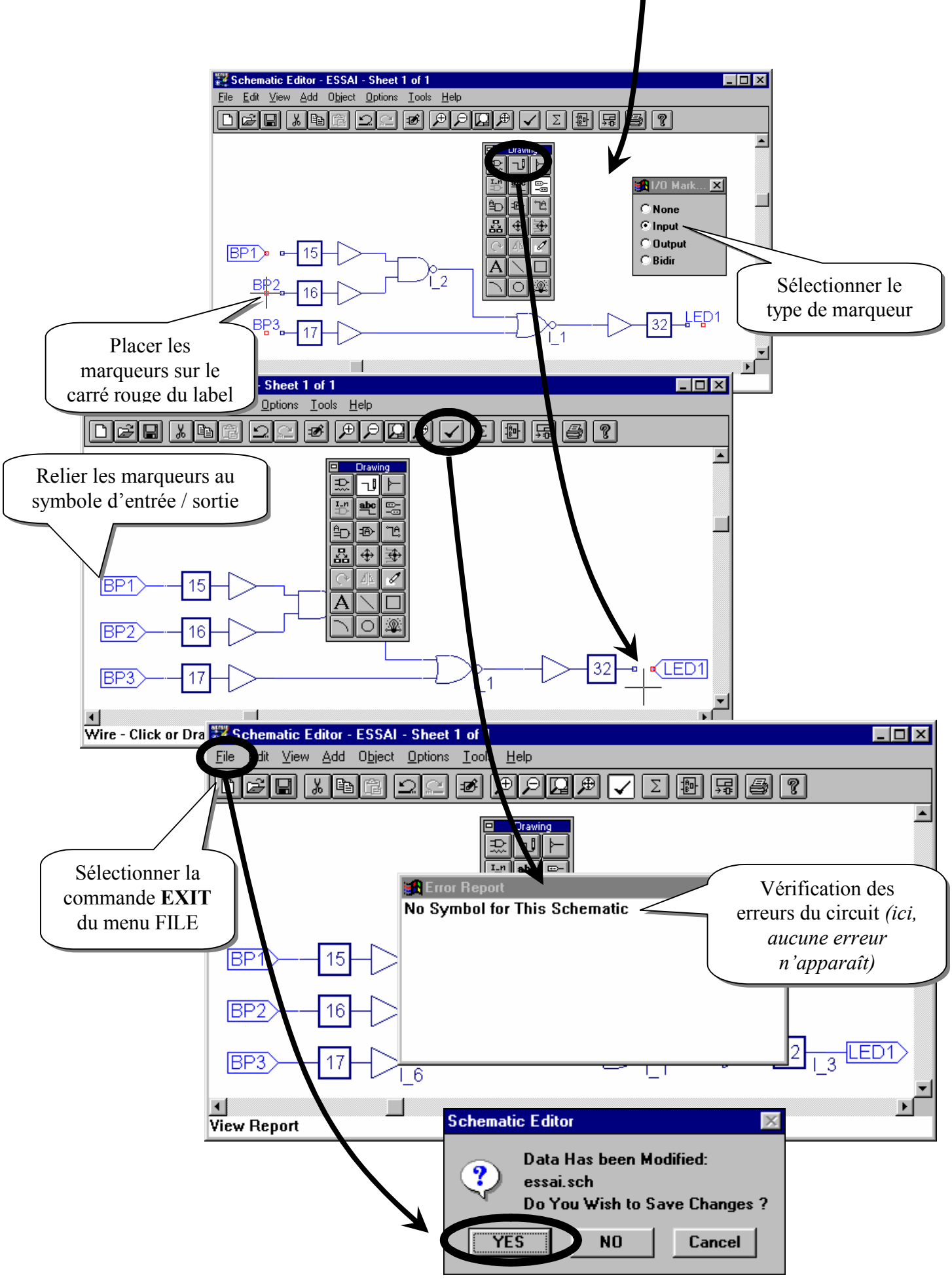
Relier les portes logiques


Schematic Editor - ESSAI - Sheet 1 of 1
File Edit View Add Object Options Tools Help
Drawing
Cliquer à chaque angle
Wire - Continue Wire
Penser à enregistrer de temps en temps
Drag - Select Item(s) to Drag
I_2
I_1
Successfully Saved
Lors de l'enregistrement, les composants sont automatiquement nommés

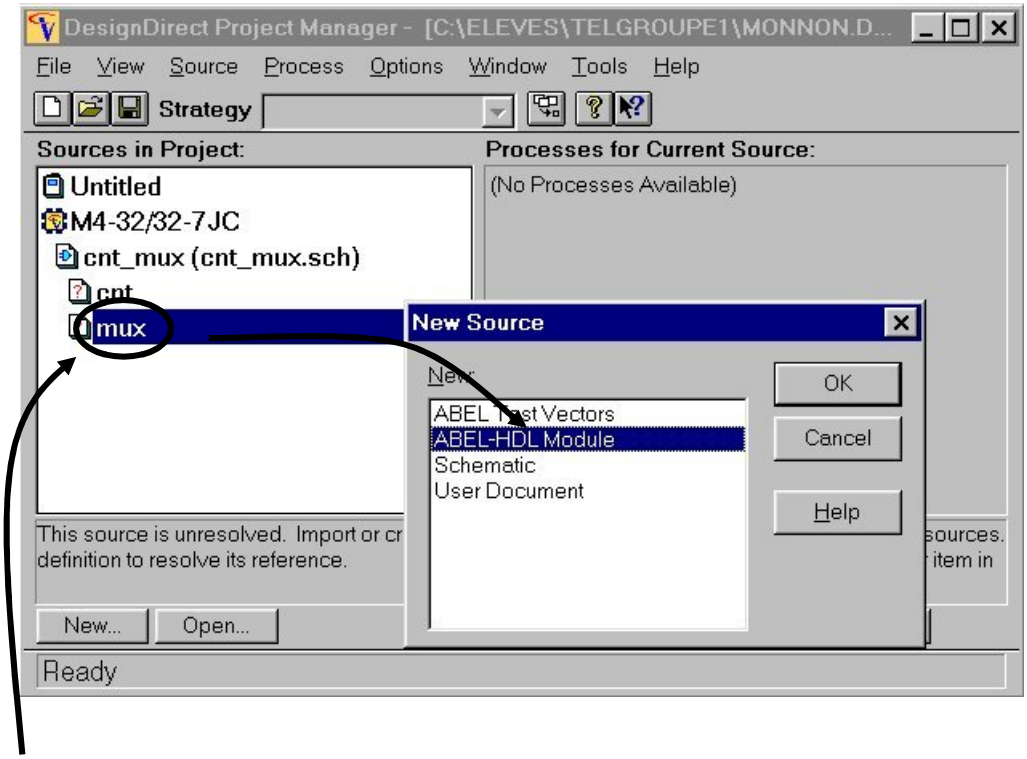
Placer les broches d'entrées / sorties




Symbol Attribute Editor
SynarioPin 32
Go To
Find...
Instances
List All Attributes
OptimizeLocally=Y
SynarioPin=*
Clock_type=*
Saisir le n° de la patte du PLD
Schematic Editor - ESSAI - Sheet 1 of 1
File Edit View Add Object Options Tools Help
15
16
I_1
32
Drawing
17
I_2
Net Name - Enter Net Nam =BP1
Saisir le label du marqueur d'entrée / sortie, puis ENTREE
BP1
BP2
BP3
LED1
Net Name - Place Net Name Flag 'LED1' - Shift Key to Rename
Placer tous les labels des marqueurs


Schematic Editor - ESSAI - Sheet 1 of 1
File Edit View Add Object Options Tools Help
I/O Mark...
None
Input
Output
Bidir
BP1
BP2
BP3
15
16
17
I_2
I_1
32
LED1
Sélectionner le type de marqueur
Placer les marqueurs sur le carré rouge du label
Relier les marqueurs au symbole d'entrée / sortie
Sélectionner la commande EXIT du menu FILE
Error Report
No Symbol for This Schematic
Vérification des erreurs du circuit (ici, aucune erreur n'apparaît)
View Report
Schematic Editor
Data Has been Modified:
essai.sch
Do You Wish to Save Changes ?
YES
NO
Cancel

8 Faire correspondre un fichier ABEL à un bloc fonctionnel



Double clic sur le nom du bloc auquel on souhaite associer un fichier ABEL.

Sélectionner « *ABEL-HDL Module* » puis ok

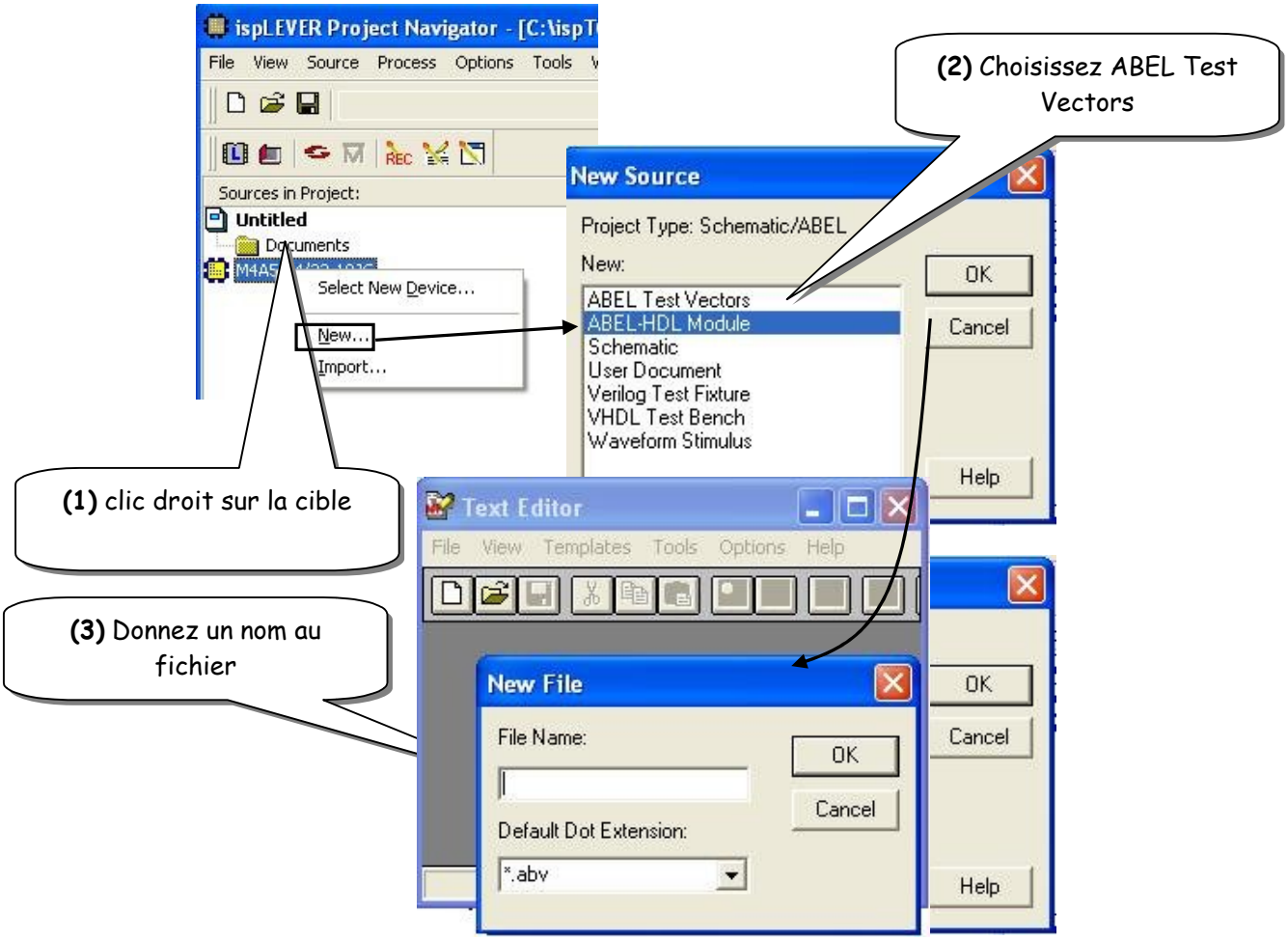
Exemple de fichier ABEL

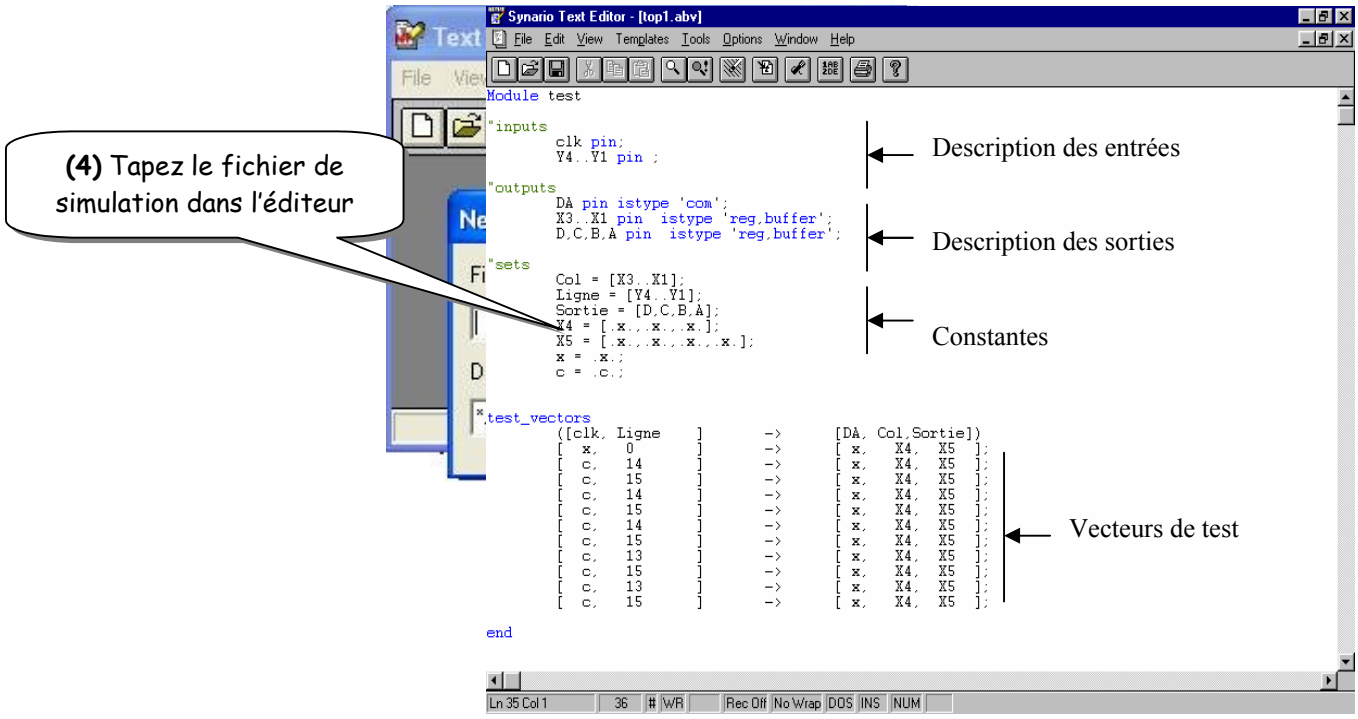
```
Module mux
        sel                     pin ;
        cnt1, cnt0              pin ;
        data1, data 0           pin ;
        outa1, outa0            pin istype 'com' ;

equations
        when sel==0     then [outa1,outa0] = [cnt1,cnt0] ;
                        else  [outa1,outa0]=[data1,data0] ;
end
```

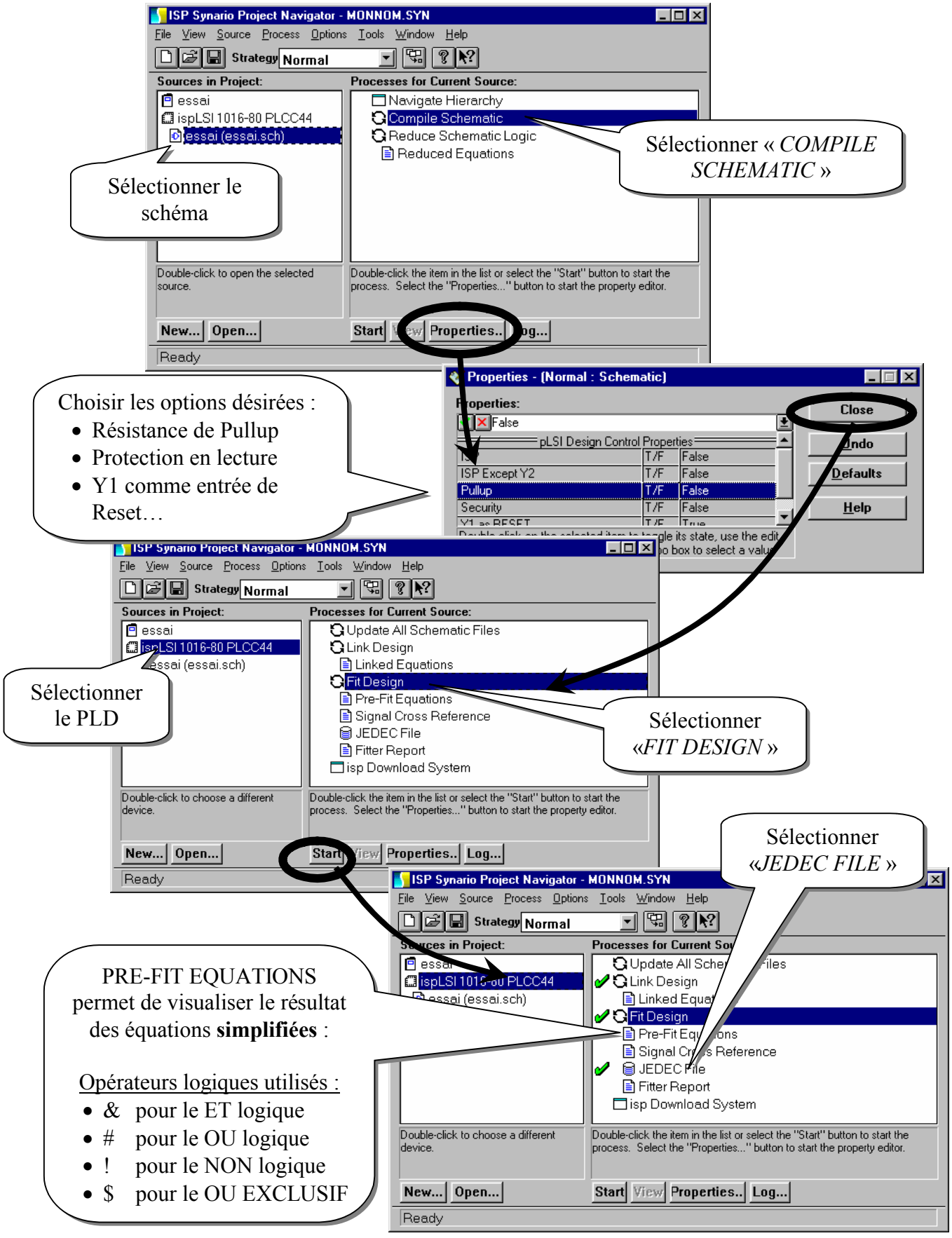
9 Créer un fichier de simulation

Pour ajouter un fichier de simulation au projet :



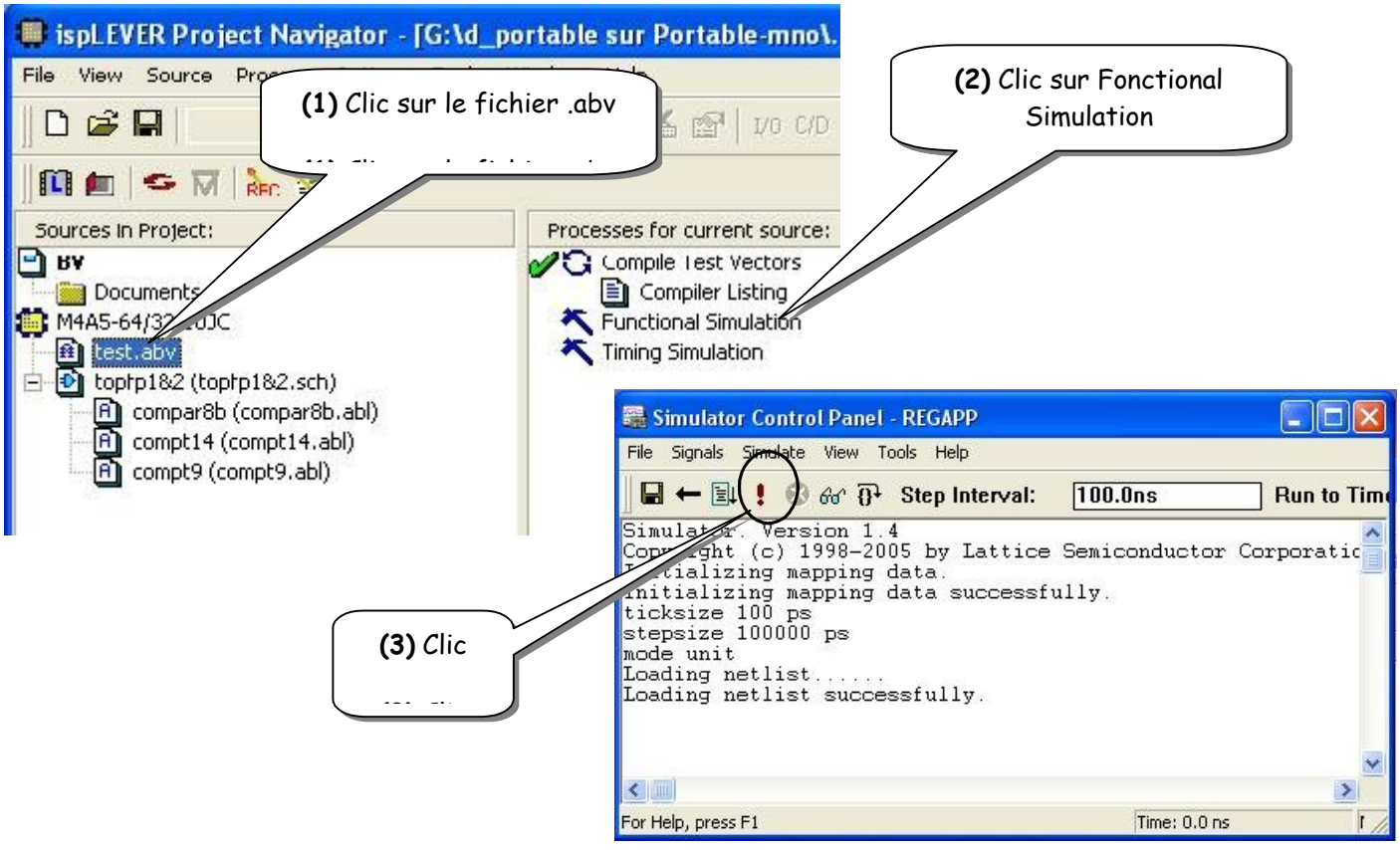

(4) Tapez le fichier de simulation dans l'éditeur
Synario Text Editor - [top1.abv]
File Edit View Templates Tools Options Window Help
Module test
"inputs
clk pin;
Y4..Y1 pin ;
"outputs
DA pin istype 'com';
X3..X1 pin istype 'reg,buffer';
D,C,B,A pin istype 'reg,buffer';
"sets
Col = [X3..X1];
Ligne = [Y4..Y1];
Sortie = [D,C,B,A];
X4 = [.x.,.x.,.x.];
X5 = [.x.,.x.,.x.,.x.];
x = .x.;
c = .c.;
*test_vectors
([clk, Ligne] -> [DA, Col,Sortie])
[x, 0] -> [x, X4, X5];
[c, 14] -> [x, X4, X5];
[c, 15] -> [x, X4, X5];
[c, 14] -> [x, X4, X5];
[c, 15] -> [x, X4, X5];
[c, 14] -> [x, X4, X5];
[c, 15] -> [x, X4, X5];
[c, 13] -> [x, X4, X5];
[c, 15] -> [x, X4, X5];
[c, 13] -> [x, X4, X5];
[c, 15] -> [x, X4, X5];
end
Description des entrées
Description des sorties
Constantes
Vecteurs de test
Ln 35 Col 1
36
WR
Rec Off
No Wrap
DOS
INS
NUM

10. Compiler un programme

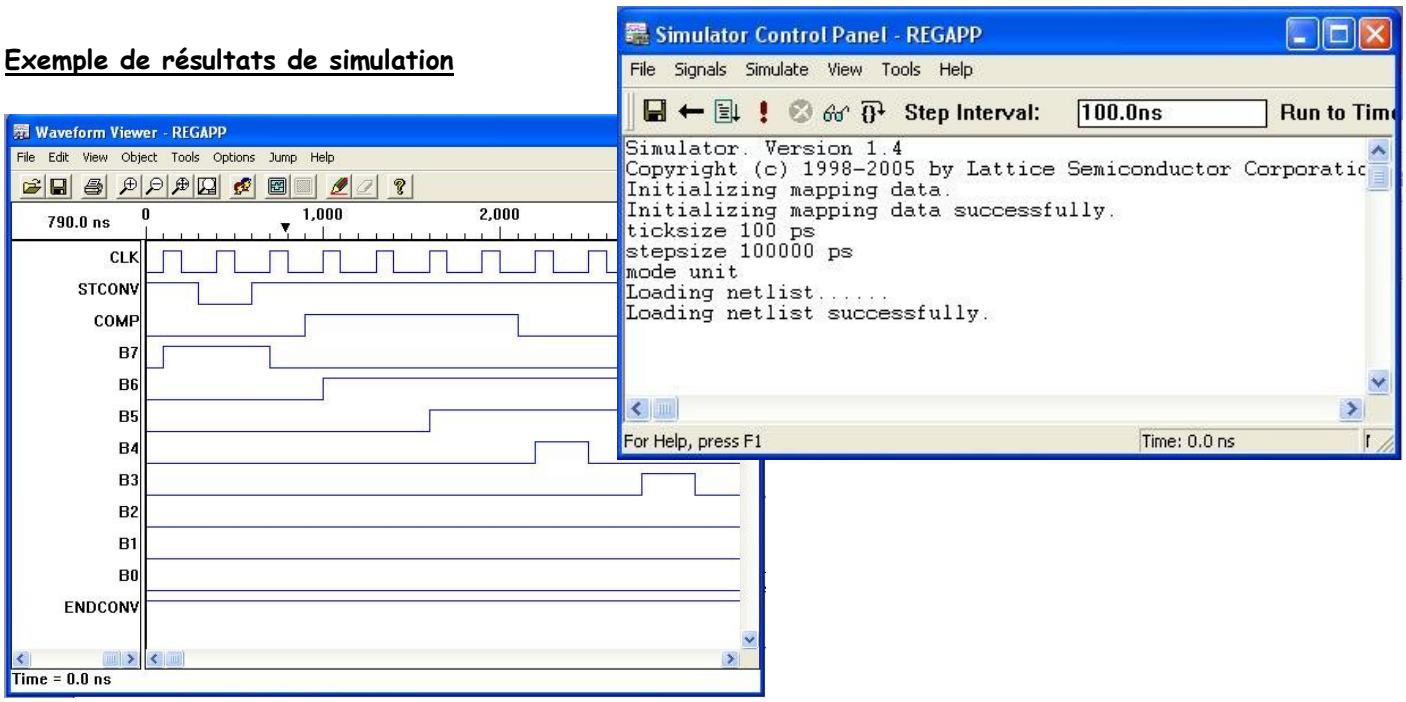

ISP Synario Project Navigator - MONNOM.SYN
File View Source Process Options Tools Window Help
Strategy Normal
Sources in Project:
essai
ispLSI 1016-80 PLCC44
essai (essai.sch)
Processes for Current Source:
Navigate Hierarchy
Compile Schematic
Reduce Schematic Logic
Reduced Equations
Double-click to open the selected source.
Double-click the item in the list or select the "Start" button to start the process. Select the "Properties..." button to start the property editor.
New... Open... Start View Properties.. Log...
Ready
Sélectionner le schéma
Sélectionner « COMPILE SCHEMATIC »
Properties - (Normal : Schematic)
Properties:
False
pLSI Design Control Properties
ISP Except Y2 T/F False
Pullup T/F False
Security T/F False
Close
Undo
Defaults
Help
Choisir les options désirées :
• Résistance de Pullup
• Protection en lecture
• Y1 comme entrée de Reset…
Update All Schematic Files
Link Design
Linked Equations
Fit Design
Pre-Fit Equations
Signal Cross Reference
JEDEC File
Fitter Report
isp Download System
Double-click to choose a different device.
Sélectionner le PLD
Sélectionner «FIT DESIGN »
Sélectionner «JEDEC FILE »
PRE-FIT EQUATIONS permet de visualiser le résultat des équations **simplifiées** :
Opérateurs logiques utilisés :
• & pour le ET logique
• # pour le OU logique
• ! pour le NON logique
• $ pour le OU EXCLUSIF

11. Simuler le fonctionnement du projet (fonctionnel)

Préparation

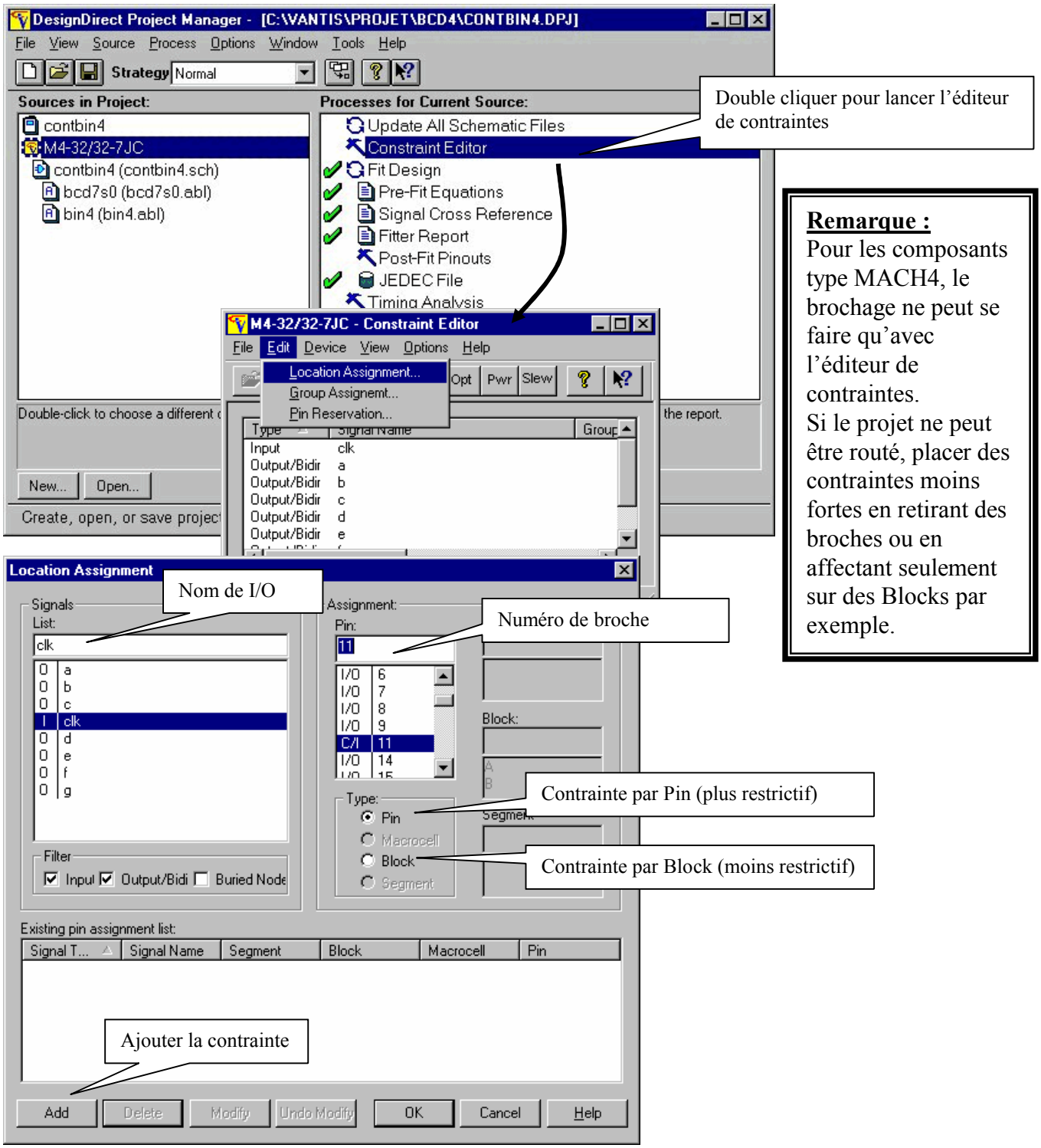


Exemple de résultats de simulation



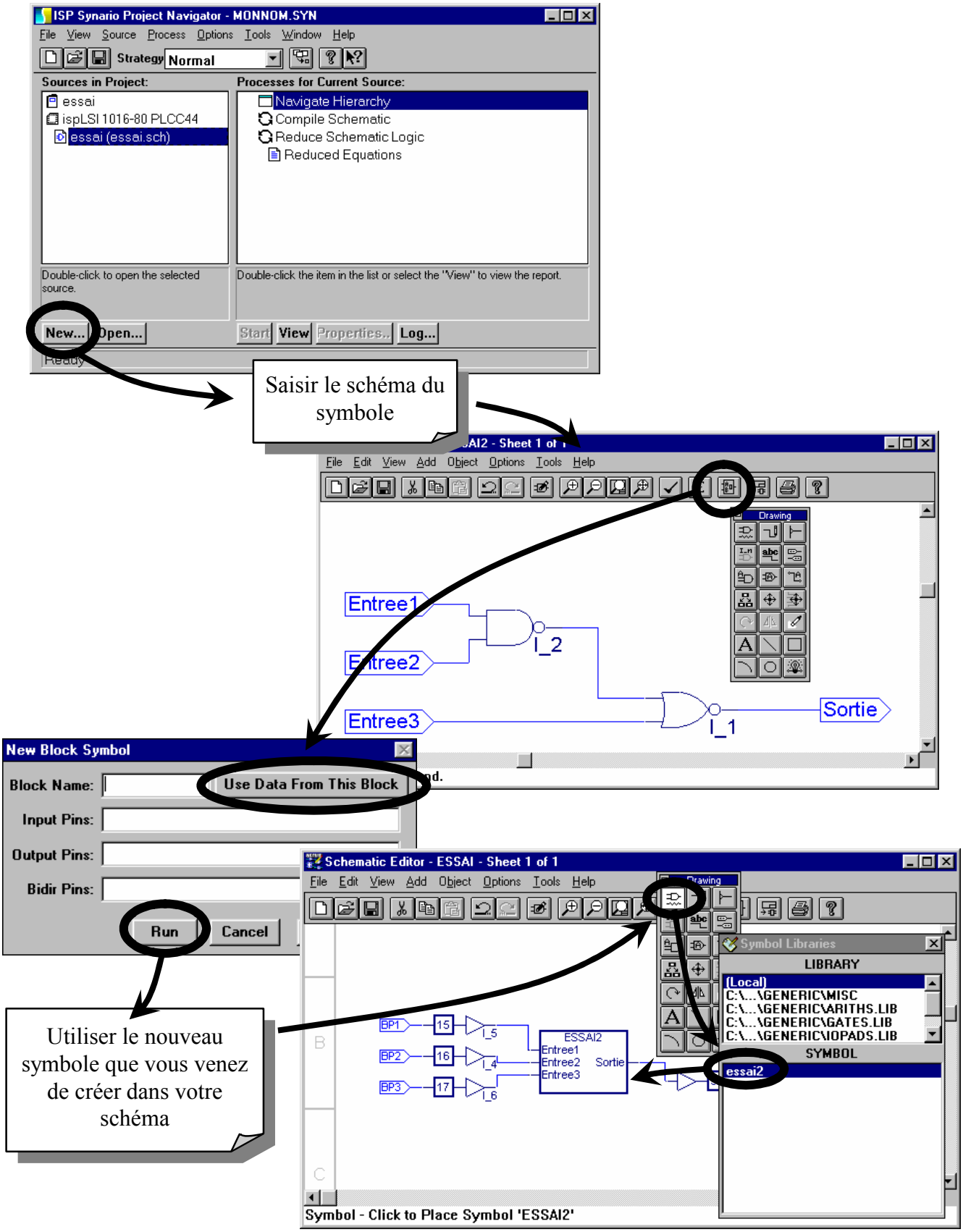
12. Utiliser l'éditeur de contraintes

L'éditeur de contraintes permet d'attribuer des numéro de broches aux variables d'entrées/sorties.

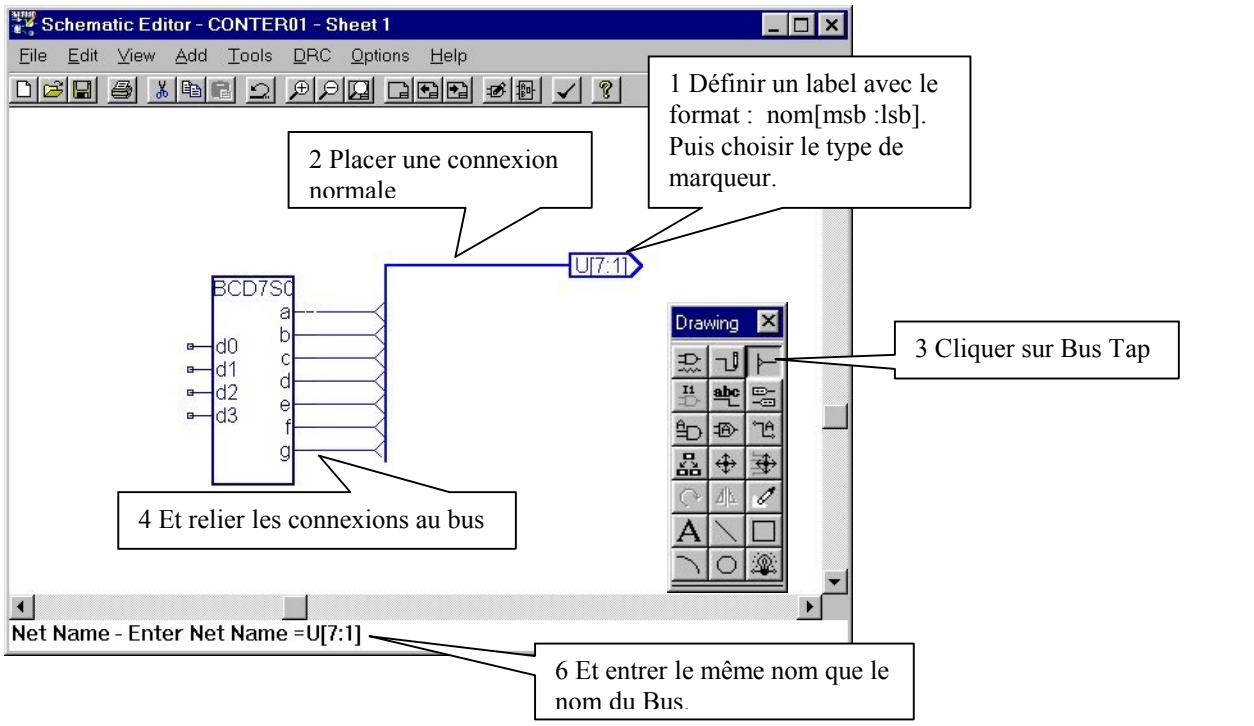


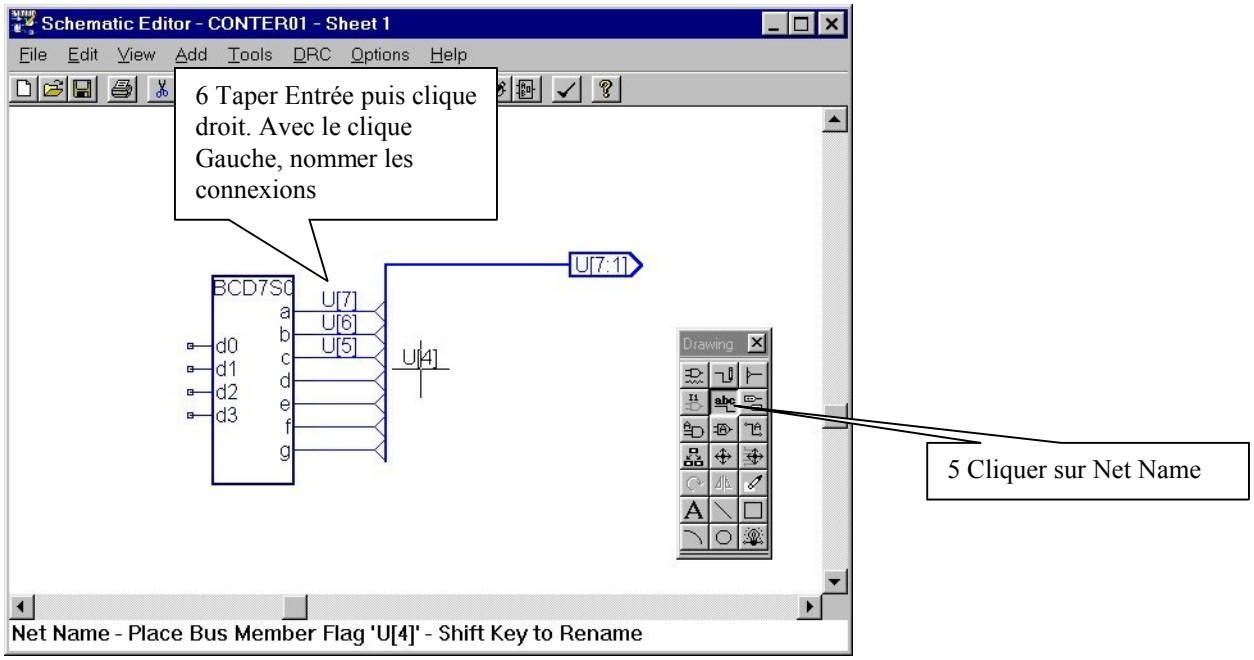
Remarque :
Pour les composants type MACH4, le brochage ne peut se faire qu'avec l'éditeur de contraintes.
Si le projet ne peut être routé, placer des contraintes moins fortes en retirant des broches ou en affectant seulement sur des Blocks par exemple.

Annexe1 : Créer un symbole à partir d'un schéma



Annexe2 : Utiliser des BUS





Attention : Toutes les déclarations de pins liées à un BUS dans les fichiers ABEL devront prendre la notation suivante : (Exemple pour un BUS U[7:1])

U_7_,U_6_,U_5_,U_4_,U_3_,U_2_,U_1_ pin ;

A la place de la notation « U7..U1 pin ; » habituelle.

Annexe3 : Instancier des composants